# CAPÍTULO 2: Conversor

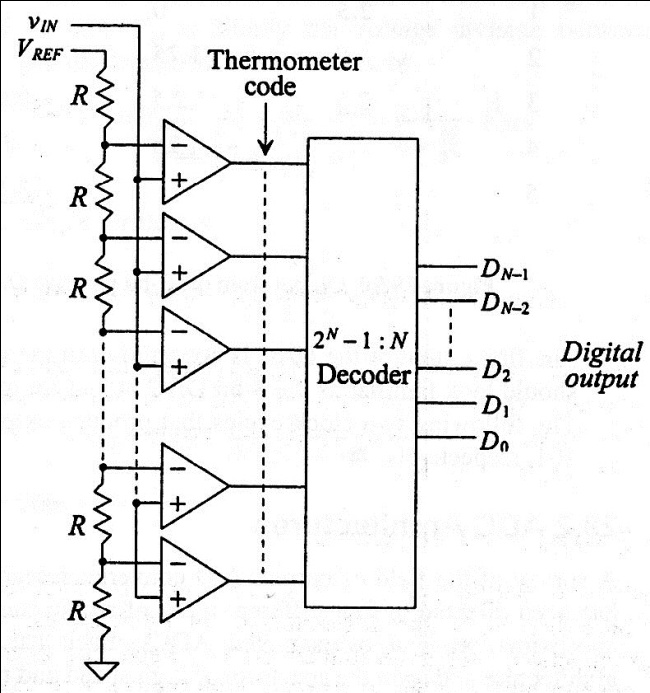
En este capítulo se describirá el proceso de selección del conversor, que arquitectura se eligió para realizar la campaña de inyección, cuáles son sus ventajas y desventajas, y que requisitos se deben de cumplir para su futuro funcionamiento. Luego se detallarán los componentes que conforman parte del mismo, como fue el diseño y verificación del comportamiento tanto individual como en conjunto en el conversor.

## Caso de estudio adoptado

La arquitectura con la que se optó trabajar es una arquitectura de conversión paralela tipo Flash de 6 bits de resolución, la cual combina tanto secciones analógicas como digitales. La gran ventaja de la estructura adoptada es la velocidad con la cual una conversión se lleva a cabo, donde cada pulso de reloj puede generar una palabra digital de salida. Su contracara es que para cada bit extra de resolución del conversor, se tiene que duplicar la cantidad de comparadores requeridos, aumentando así el área comprendida por el dispositivo.

Desde el punto de vista de la implementación, los conversores analógicos/digitales típicamente contienen uno o más comparadores, compuertas, componentes pasivos de precisión, referencias de tensión precisa y una lógica de control digital. El conjunto de comparadores se encargaran de transformar la señal analógica recibida en una señal digital de codificación termómetro. Las compuertas formarán la lógica digital que trasforme la codificación termómetro en codificación binaria para la salida del conversor. La cadena o divisor resistivo servirá para generar los distintos niveles de tensión analógica de comparación. Un diagrama conceptual puede verse en la Figura 1, y un diagrama de sus conexiones y componentes en la Figura 2.

Figura ) Diagrama en bloques del conversor flash realizado.



***Entrada Analógica***

***Salida Digital***

Figura 2) Representación del conversor Flash.

Se adopta como caso de estudio a una estructura Flash de 6 bits operando a una frecuencia de muestreo de 100KHz. Esta elección se fundamenta en el hecho de que esta cantidad de bits suele encontrarse en algunos sistemas integrados y al mismo tiempo mantiene el esfuerzo computacional en límites razonables. Por otro lado, el estudio no pierde generalidad, dada lo regular de la estructura si se aumenta el número de bits. Esto permite abarcar el uso del mismo tanto en redes de “Voice Comm” como en “ISDN” o “Instrumentación y medición”.

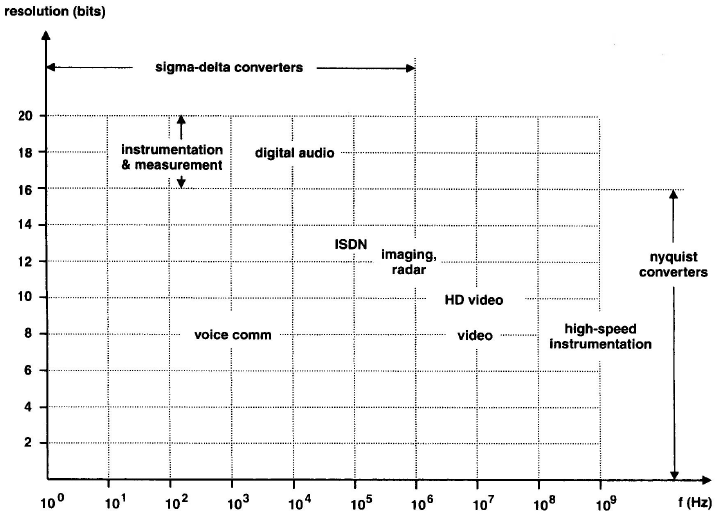


Figura ) Cuadro comparativo de requerimientos de conversores según su finalidad.

En relación a la tecnología utilizada en el diseño, se buscó una opción en características de bajo consumo y de uso común y actual. Teniendo en consideración estos puntos, la tecnología finalmente usada fue:

|  |  |
| --- | --- |
| **IBM Semiconductor**  **0.18 Micron**  **7RF CMOS Process** | MOSIS WAFER ACCEPTANCE TESTS  RUN: T96T (7RF\_5LM\_MA)  VENDOR: IBM-BURLINGTON  TECHNOLOGY: SCN018  FEATURE SIZE: 0.18 microns  Run type: SKD |

Esta tecnología es brindada por IBM para fines de prototipos y bajo volumen de producción. El proceso de fabricación CMOS cuenta con 6 capas de metal (M1, M2, M3, M4, MT, ML) con DV (wirebound glass cut). Los voltajes de alimentación son 1.8 voltios de núcleo y 3.3 voltios de I/O. Transistores alimentados a 5 voltios están disponibles para requerimientos especiales, pero requieren de unas consideraciones extras [[[1]](#endnote-1)].

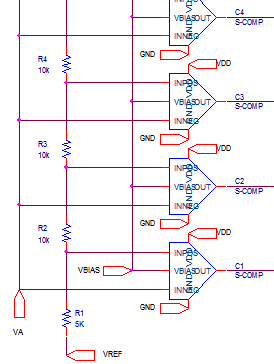
Como se aprecia en la , para el diseño del conversor vamos a necesitar diseñar componentes analógicos y digitales que van a interactuar. Para ambos se utilizará la tecnología arriba mencionada, con una alimentación general de 3.3 voltios y niveles de referencia de tensión para los cuales se utilizará fuentes de tensión DC para facilitar el diseño.

## 2.1) Diseño

Para el diseño del conversor, se analizaron distintas opciones de arquitecturas y resultaron ser elegidas una arquitectura tipo Miley de dos etapas sin compensación para el comparador [[[2]](#endnote-2)] y un decodificador lógico de alta velocidad formado por compuertas NAND [[[3]](#endnote-3)].

El proceso de diseño fue iterativo. Se realizaron cálculos matemáticos para la primera aproximación del esquemático y se pusieron a prueba, se ajustaron repetidamente las dimensiones de los transistores y se obtuvieron finalmente diseños que satisfacían los distintos requisitos de funcionamiento del sistema.

### 2.1.1) Comparador

El diseño del conversor requiere de 63 comparadores para generar los 64 niveles de código termómetro a partir de la comparación de la señal de entrada contra la las 63 señales de referencias obtenidas de la cadena de resistencias. El diagrama conceptual se observa en la .

***Código Termómetro***

***Entrada Analógica***

Figura ) Diagrama en bloques del comparador.

Cada comparador tiene conectado a su entrada negativa la señal de entrada VIN y a su terminal entrada positiva una de las 63 tensiones de referencia que le corresponda según el nivel jerárquico que ocupe en la generación del código termómetro. Cuando el valor de tensión de la señal de entrada VIN es mayor que la señal de referencia conectada al comparador, este genera como resultado de la comparación un valor 0 (cero), y si VIN es menor que la tensión de referencia, la salida del comparador es 1 (uno). Esto genera un código de termómetro de niveles negativos ascendente, esto quiere decir que, a medida que la señal de entrada va superando los niveles de referencia, comenzando por los más bajos y aumentando en tensión hasta los más altos, los comparadores van reemplazando las salidas en alto (1…111) del código termómetro por salidas en bajo (1…110), como se ve la .

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | 0 | *Máximo nivel del código* |
| 1 | 0 | 0 | 0 | 0 | *VIN > VREF 62* |
| . | . | . | . | . |  |
| 1 | 1 | 1 | 0 | 0 | *VIN > VREF 02* |
| 1 | 1 | 1 | 1 | 0 | *VIN > VREF 01* |
| 1 | 1 | 1 | 1 | 1 | *Mínimo nivel del código* |

Tabla ) Representación del avance del Código Termómetro.

### 2.2.2) Decodificador

En el extremo digital del conversor se encuentra el decodificador lógico de alta velocidad conformado por compuertas NAND de 2 a 8 entradas y compuertas NEGADORAS, ambas lógicas CMOS clásica, que decodifican la entrada de código termómetro (64 niveles) en una salida de código binario de 6 bits. En la Figura 5 se observa un diagrama de las entradas y salidas del decodificador. Los bits de salida se encuentran identificados según su importancia en la palabra digital, donde LSB significa *Bit Menos Significativo (Less Significant Bit)*, el bit 2SB es el *Segundo Bit Significativo (Second Significant Bit),* y asi sucesivamente hasta el bit MSB o *Bit Más Significativo (More Significant Bit).*

Figura ) Diagrama en bloques del funcionamiento del decodificador.

Para el diseño se analizaron las diferentes condiciones de entrada generadas a partir de los comparadores, se realizó una tabla de verdad [APÉNDICE B] y luego de aplicar reducción por Karnaugh se obtuvieron las siguientes funciones lógicas que determinan la salida de código binario:



Figura ) Esquemático de la interconexión de compuertas internas del decodificador para el bit 2SB.

Para llevar a cabo estas funciones lógicas se realizar las interconexiones pertinentes, pero fue necesario separar en grupos de a 8 condiciones individuales a la lógica, ya que de lo contrario, debía de desarrollarse una compuerta NAND de 32 entradas, lo que implicaba usar dimensionamientos de transistores muy grandes para compensar los retardos de transición y el nivel inferior de tensión a la cual esta compuerta pudiese llegar. Como resultado se construyeron compuertas de 8 y menos entradas y compuertas negadoras para realizar las negaciones necesarias de los datos de entrada. En la Figura 6 se observa el esquematico de interconexión para la generación del bit 2SB. E

## 2.2) CARACTERIZACIÓN

A continuación se realizará la caracterización del conversor en base a los siguientes puntos con el fin de asegurar el cumplimiento de las especificaciones señaladas al inicio del capítulo.

* Señal de entrada.
* Tiempos de conversión.
* Formato de salida.
* Precisión.

Éstas dependen directamente de los componentes internos del conversor, por lo cual también se expondrán las características de funcionamiento del comparador y decodificador.

### 2.2.1) Señal de entrada.

La señal de entrada puede excursionar de 0V a 2V.

Para el estudio realizado, se estableció una señal de entrada que va de 0V y 640mV.

### 2.2.2) Tiempos de conversión.

Los tiempos de conversión dependen de la suma de los retardos de la lógica interconectada del decodificador y de los comparadores. Se analizarán los tiempos de transición de los componentes por separado y luego el tiempo de conversión del conversor completo.

RETARDO DEL COMPARADOR:

En la Figura 7 se observa la conexión que se llevo a cabo para el análisis de los retardos en respuesta del comparador y la configuración de la fuente Vrampa para el mismo propósito. Con esta configuración se quiere simular un cambio repentino de la señal de entrada y evaluar los tiempos requeridos para el comparador para realizar el cambio de estado a su salida. En esta última se conectó un capacitor de 5pF para simular la carga capacitiva de las compuertas NAND que luego cargará el comparador. En la Figura 8 se grafica la simulación realizada para una entrada VA=1.315 voltios.

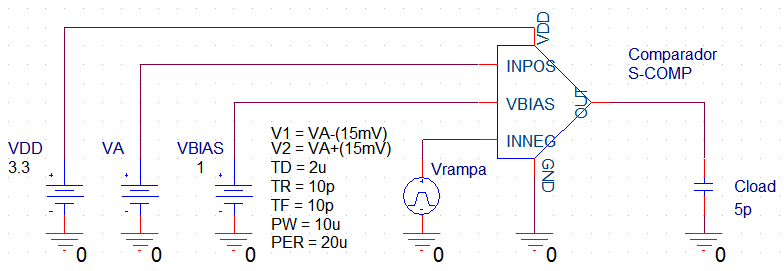


Figura 7) Esquemático de la conexión del comparador, análisis de tiempos de retardo.

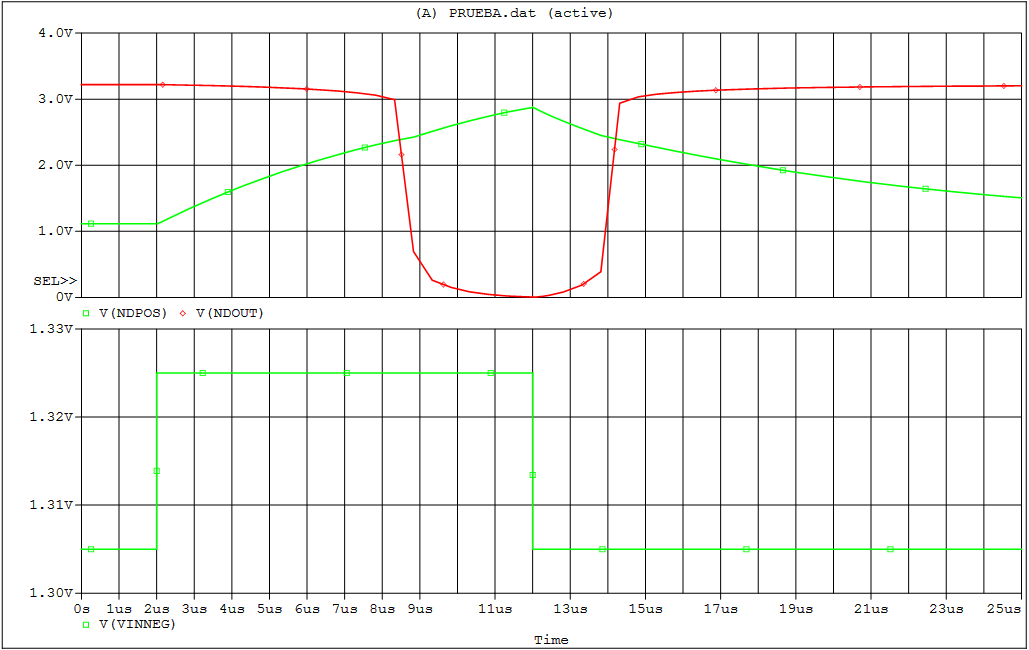


Figura ) Análisis de retardos del comparador [VCM=1.315V].

En la ventana inferior de la simulación () se encuentra la gráfica del escalón (VIN), el cual posee una amplitud de 15mV y un tiempo de ascenso/descenso de 10ps.

En la ventana superior de la simulación se observan dos curvas. La curva de color verde es la salida de la primera etapa del comparador (etapa diferencial) y la de color rojo, la salida final del comparador. De esta simulación se obtuvo:

* Máximo retardo “Alto – bajo (High to Low - TpHL)”del comparador: 7.48uS.
* Máximo retardo “Bajo – alto (Low to High - TpLH)”del comparador: 2.5uS.

RETARDOS DE LAS COMPUERTAS:

En la Figura 9 se encuentra la conexión realizada para la simulación del tiempo de retardo de la compuerta NAND8 (compuerta NAND de 8 entradas). El cambio de estado de la entrada se lleva a cabo a los 2nS y afecta a 7 de las 8 entradas de la compuerta, y luego vuelve a su estado inicial a los 2.31nS. A la salida de la compuerta se conectó una resistencia de 1 mega ohmio, representando a una entrada CMOS, a la cual se conectaría dicha salida de compuerta.

La Figura 10 ilustra la simulación conjunta realizada para todas las compuertas, donde cada curva representa una compuerta diferente.

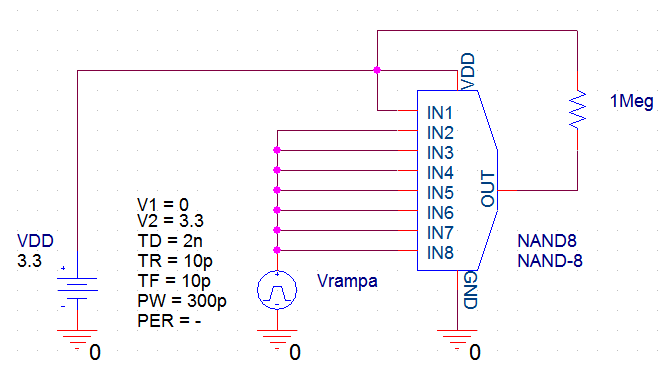


Figura ) Esquemático de la conexión de la compuerta NAND8, análisis de tiempos de retardo.

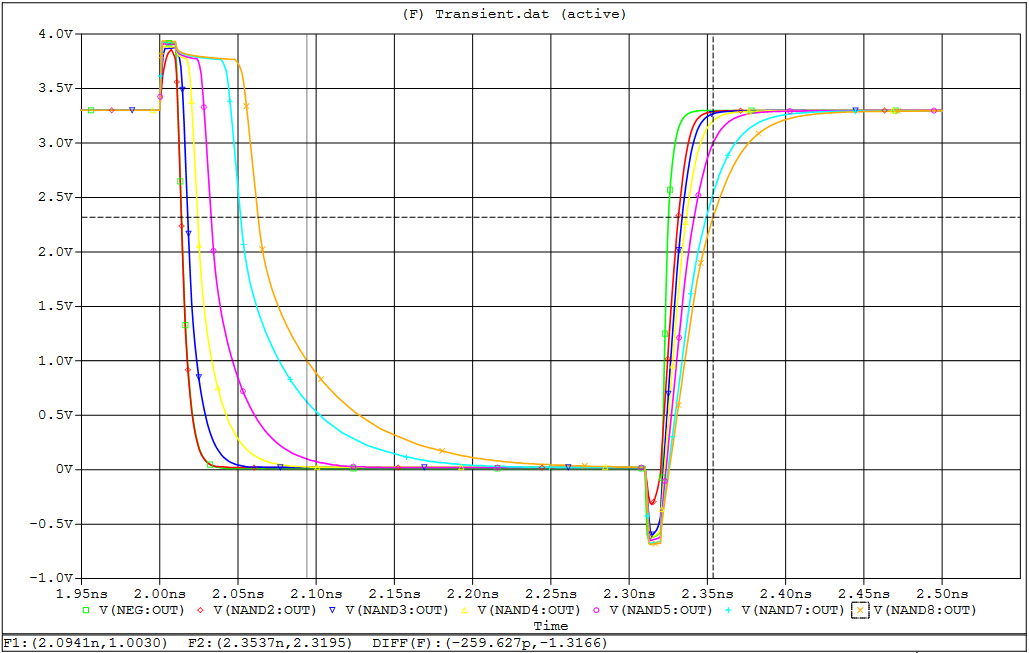


Figura ) Análisis de retardos de las compuertas.

En la simulación se aprecia el comportamiento de las salidas de las compuertas afectadas, las cuales, poseen retardos menores a los 100pS para ambos cambios.

* Tiempo de retraso “Alto – bajo” (TpHL) < 100pS.
* Tiempo de retraso “Bajo – alto” (TpLH) < 80pS.

Tiempos de conversión del decodificador:

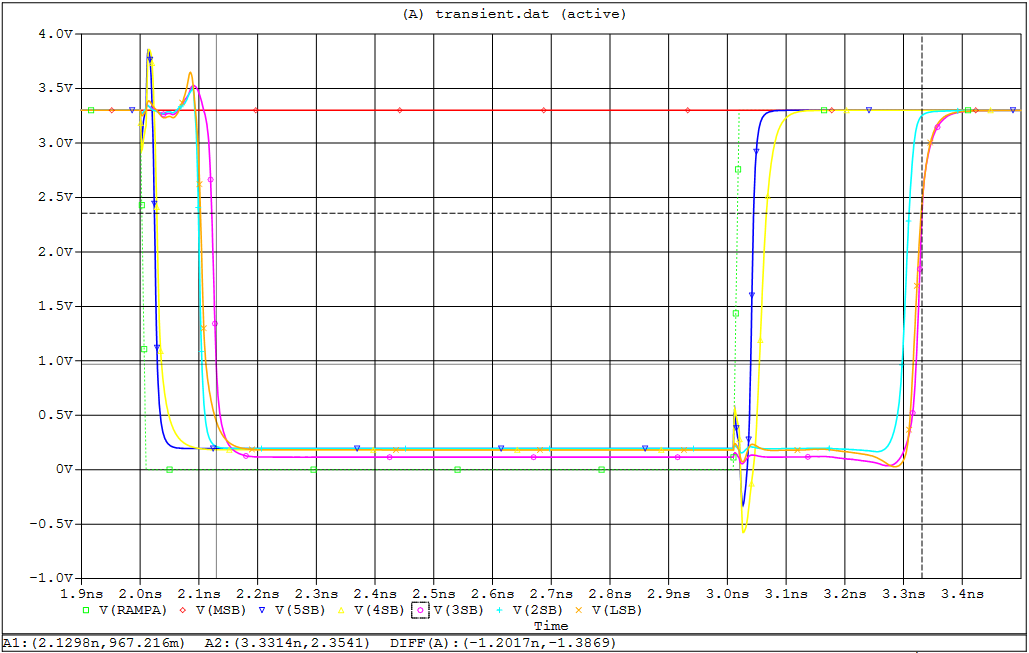


Figura ) TpHL y TpLH para una entrada en rampa en el comparado C32 (mitad de la tabla de conversión).

En la simulación representada en la , la curva de color verde es la rampa que es conectada a la entrada del decodificador correspondiente al comparador C32, el cual determina el valor medio del código termómetro. Las demás curvas son la salida del decodificador respondiendo al cambio de lógica generado por la rampa.

* Tiempos de transición de L a H < 1nS. (780 pS).
* Tiempos de transición de H a L < 1nS. (250 pS).

Tiempos de conversión del conversor flash:

Luego de analizados los tiempos de retardo individuales de los componentes que lo conformar, se determina que el factor crítico para el tiempo de respuesta del conversor es el comparador, el cual posee un retardo de transición máximo del orden de 7uS, muy próximo a los 10uS máximos de retardo permitido para el funcionamiento a 100KHz del conversor. El decodificador agrega a este tiempo una contribución de poca consideración, ya que sus tiempos son menores al uS.

### 2.2.3) Formato de salida.

El formato de salida del conversor es binario unipolar.

### 2.2.4) Precisión.

La precisión incluye errores provenientes de la parte analógica y digital. El error digital del conversor es de =5mV.

La fuente de error analógico es el comparador. Dicho error varía según el offset del comparador y su ganancia, que al estar trabajando para diferentes tensiones de entrada, varía entre los de nivel inferior y superior del código termómetro.



Figura ) Barrido de tensión continua con VCM=1.005V.



Figura ) Barrido de tensión continua con VCM=1.625V.

Como se muestra en la y , el offset del comparador varía según cuál sea el voltaje a modo común del mismo. Para el nivel más bajo del código termómetro (1.005V) el error de offset es de -60uV, mientras que para el nivel más alto (1.625V) es de +180uV. La ganancia del comparador también se ve afectada, y varía entre 23.843 veces y 25.814 veces.

En conclusión, el error total del conversor es la suma de ambos errores, tanto digital como analógico, igual a

1. Ref.: http://www.mosis.com [↑](#endnote-ref-1)
2. Ref.: “CMOS Analog Circuit Design”- Philip E. Allen, Douglas R. Holberg [↑](#endnote-ref-2)
3. Ref.: “CIRCUITOS ELECTRONICOS Discretos e integrados”- Donald Schilling [↑](#endnote-ref-3)