# CAPÍTULO 2: Conversor

En este capítulo se describirá el proceso de selección del conversor, la arquitectura elegida, las ventajas y desventajas de la misma, y los requisitos que se debieron cumplir para su funcionamiento. Luego se detallarán los componentes que conforman el conversor, su diseño y verificación, y el comportamiento, tanto individual como conjunto.

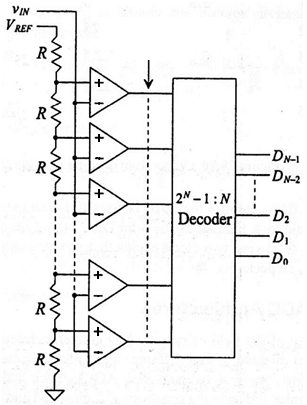
Caso de estudio adoptado

La arquitectura con la que se optó trabajar es una arquitectura de conversión paralela tipo Flash de 6 bits de resolución, la cual combina tanto secciones analógicas como digitales. La gran ventaja de la estructura adoptada es la velocidad con la cual una conversión se lleva a cabo, donde cada pulso de reloj puede generar una palabra digital de salida. Su contracara es que para cada bit extra de resolución del conversor, se tiene que duplicar la cantidad de comparadores requeridos, aumentando así el área de silicio comprendida por el dispositivo.

Desde el punto de vista de la implementación, los conversores analógicos/digitales típicamente contienen uno o más comparadores, compuertas, componentes pasivos de precisión, referencias de tensión precisas y una lógica de control digital.

El conjunto de comparadores se encarga de transformar la señal analógica recibida en una señal digital de código termómetro. Las compuertas conforman la lógica digital que trasforma al código termómetro en código binario en la etapa de salida del conversor. Un diagrama conceptual puede verse en la Figura 1, y otro sobre sus conexiones y componentes en la Figura 2.

Figura ) Diagrama en bloques del conversor flash realizado.



***Salida Digital***

***Entrada Analógica***

***Código Termómetro***

Figura 2) Representación del conversor Flash.

La señal analógica a convertir es conectada al terminal Vin y luego distribuida a las entradas inversoras de cada comparador. Esta señal es comparada con la tensión de referencia (entrada no inversora) correspondiente a cada comparador, y según sea el resultado, se modifica la tensión de salida del mismo para conformar el código termómetro correspondiente a dicha señal. Por último, éste código termómetro generado a partir de la cadena de comparadores, ingresa al decodificador, el cual lo recodifica a un código binario de 6 bits.

La estructura adoptada se diseño para operar a una frecuencia de muestreo de 100KHz. Esta elección, y la regularidad de la estructura, permiten extender los resultados del estudio al sector comprendido por redes “Voice Comm” hasta redes “ISDN” e incluso a los dispositivos de “Instrumentación y medición” o “Digital Audio” (Ver Figura 3), sin perder generalidad y manteniendo los requerimientos computacionales dentro de límites razonables.

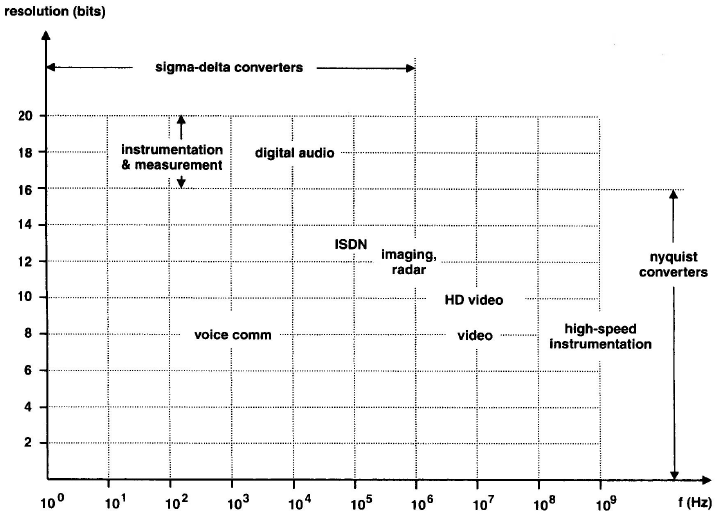


Figura ) Cuadro comparativo de requerimientos de conversores según su finalidad.

En relación a la tecnología CMOS seleccionada para el diseño, se utlizó una corrida de prueba provista por MOSIS del proceso de 180nm de IBM Semiconductor. Los detalles del proceso son los siguientes:

|  |  |
| --- | --- |
| **IBM Semiconductor**  **0.18 Micron**  **7RF CMOS Process** | MOSIS WAFER ACCEPTANCE TESTS  RUN: T96T (7RF\_5LM\_MA)  VENDOR: IBM-BURLINGTON  TECHNOLOGY: SCN018  FEATURE SIZE: 0.18 microns  Run type: SKD |

El proceso de fabricación CMOS cuenta con 6 capas de metal, (M1, M2, M3, M4, MT, ML) y DV (wirebound glass cut). Los voltajes de alimentación son 1.8 voltios de núcleo y 3.3 voltios de I/O. Los transistores alimentados a 5 voltios están disponibles para requerimientos especiales, pero se debe de tener en cuenta unas consideraciones extras [[[1]](#endnote-1)].

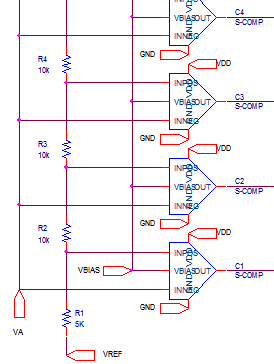
Como se apreció en la , para el diseño del conversor fue necesario diseñar componentes analógicos y digitales que interactúen. En ambos se utilizará la tecnología arriba mencionada, con una alimentación general de 3.3 voltios. Como las referencias de tensión requerían de precisión y no era el foco del trabajo se decidió utilizar fuentes de tensión DC para facilitar el diseño.

## 2.1) DISEÑO

Para el diseño del conversor, se analizaron separadamente las arquitecturas del comparador y del decodificador. Una arquitectura tipo Miley de dos etapas, y sin compensación fue la elección para el comparador [[[2]](#endnote-2)], y para el decodificador, se eligiólógica CMOS de alta velocidad conformada por compuertas NAND [[[3]](#endnote-3)].

El proceso de diseño fue iterativo. Se realizaron los cálculos matemáticos para la primera aproximación de los valores del esquemático y se pusieron a prueba; se ajustaron repetidamente las dimensiones de los transistores y se obtuvo finalmente el diseño que satisfacía los distintos requisitos del sistema.

### 2.1.1) Comparador

El diseño total requirió de 63 comparadores para generar los 64 niveles de código termómetro a partir de la comparación de la señal de entrada contra las 63 señales de referencias obtenidas de la cadena de resistencias. El diagrama conceptual se observa en la .

***Código Termómetro***

***Entrada Analógica***

Figura ) Diagrama en bloques del comparador.

Cada comparador tiene conectado a su entrada inversora la señal de entrada VIN y a su entrada no inversora una de las 63 tensiones de referencia que le corresponde según el nivel jerárquico que ocupe en la generación del código termómetro. Cuando el valor de tensión de la señal de entrada VIN es mayor que la señal de referencia conectada al comparador, este da como resultado de la comparación un valor 0 (cero), y si VIN es menor que la tensión de referencia, la salida del comparador es 1 (uno). Esto genera un código termómetro de niveles negativos y ascendente, esto quiere decir, que a medida que la señal de entrada va superando los niveles de referencia los comparadores van reemplazando las salidas en alto (1…111) del código termómetro por salidas en bajo (1…110), como se ve la .

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | 0 | *Máximo nivel del código* |
| 1 | 0 | 0 | 0 | 0 | *VIN > VREF 62* |
| . | . | . | . | . |  |
| 1 | 1 | 1 | 0 | 0 | *VIN > VREF 02* |
| 1 | 1 | 1 | 1 | 0 | *VIN > VREF 01* |
| 1 | 1 | 1 | 1 | 1 | *Mínimo nivel del código* |

Tabla ) Representación del avance del Código Termómetro.

### 2.2.2) Decodificador

En el extremo digital del conversor se encuentra el decodificador lógico de alta velocidad conformado por compuertas NAND de 2 a 8 entradas y compuertas NEGADORAS, ambas de lógica CMOS clásica, que decodifican la entrada de código termómetro (64 niveles) en una salida de código binario de 6 bits. En la se observa un diagrama de las entradas y salidas del decodificador.

Los bits de salida se encuentran identificados según su importancia en la palabra digital, donde LSB significa *Bit Menos Significativo (Less Significant Bit)*, el bit 2SB es el *Segundo Bit Significativo (Second Significant Bit),* y asi sucesivamente hasta el bit MSB o *Bit Más Significativo (More Significant Bit).*

Figura ) Diagrama en bloques del funcionamiento del decodificador.

Para el diseño se analizaron las diferentes condiciones de entrada generadas a partir de los comparadores, se realizó una tabla de verdad [APÉNDICE B] y luego de aplicar el método de reducción por Karnaugh, se obtuvieron las siguientes funciones lógicas que determinan la salida de código binario:



Figura ) Esquemático de la interconexión de compuertas internas del decodificador para el bit 2SB.

Para llevar a cabo estas funciones lógicas se realizaron las interconexiones pertinentes, pero fue necesario separar en grupos de a 8 condiciones individuales a la lógica, ya que de lo contrario, debía de desarrollarse compuertas NAND de 32 entradas, lo que implicaba usar dimensionamientos de transistores de gran tamaño para compensar los retardos de transición de la señal, y el nivel inferior de tensión al cual esta compuerta pudiese llegar. Como resultado se construyeron compuertas de 8 entradas máximo y compuertas negadoras para realizar las negaciones necesarias. En la Figura 6 se observa el esquemático de interconexión para la generación del bit 2SB.

## 2.2) CARACTERIZACIÓN

A continuación se realizará la caracterización del conversor en base a los siguientes puntos con el fin de asegurar el cumplimiento de las especificaciones señaladas al inicio del capítulo.

* Señal de entrada.
* Tiempos de conversión.
* Formato de salida.
* Precisión.

Éstas dependen directamente de los componentes internos del conversor, por lo cual se expondrán también las características de funcionamiento del comparador y decodificador.

### 2.2.1) Señal de entrada

La señal de entrada puede excursionar de 0 a 2V.

Para el estudio realizado, se estableció una señal de entrada que va de 0 y 640mV.

### 2.2.2) Tiempos de conversión

Los tiempos de conversión dependen de la suma de los retardos en la lógica interconectada del decodificador y en los comparadores. Se analizarán los tiempos de transición de los componentes por separado y luego el de conversión total.

#### Retardo del comparador:

En la Figura 7 se observa la conexión que se llevo a cabo para el análisis de los retardos en respuesta del comparador, y la configuración de la fuente Vtrapezoidal para dicho propósito. Con esta configuración se simula un cambio repentino de la señal de entrada y se evaluan los tiempos requeridos para el comparador en realizar el cambio de estado a su salida. En esta última se conectó un capacitor de 5pF para simular la carga capacitiva de las compuertas NAND que luego cargará el comparador. En la Figura 8 se grafica la simulación realizada para una entrada VA=1.315 voltios.

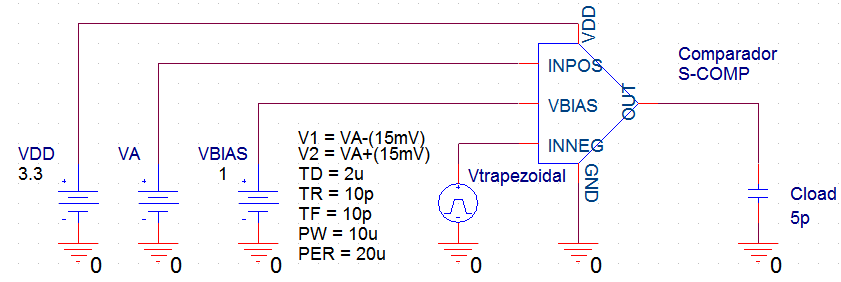


Figura 7) Esquemático de la conexión del comparador, análisis de retardo.

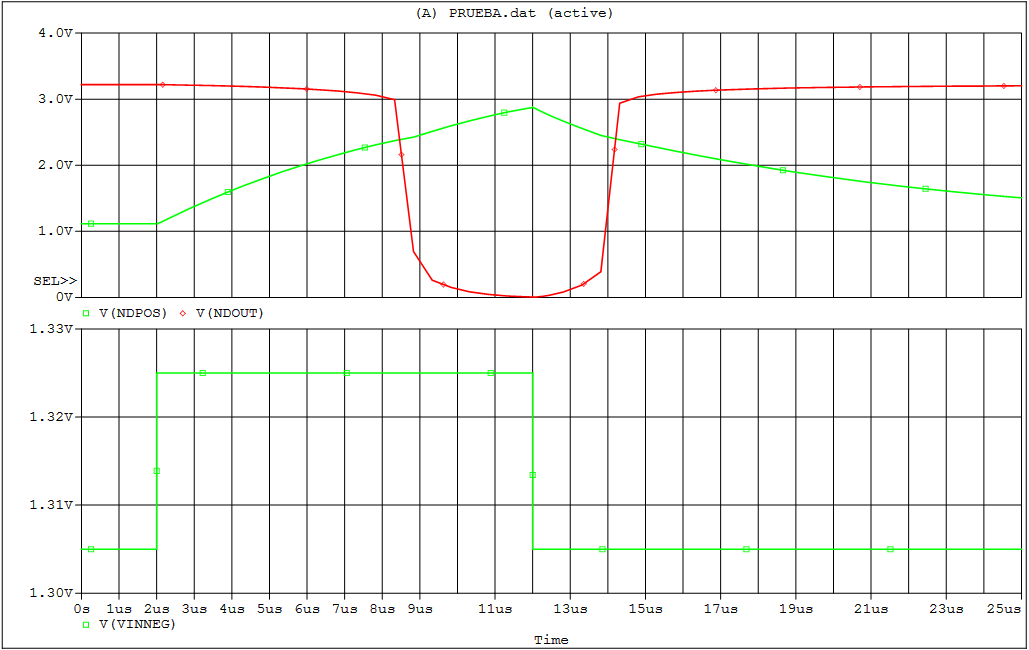


Figura ) Análisis de retardos del comparador [VCM=1.315V].

En la ventana inferior de la simulación () se encuentra la gráfica del escalón (VIN), el cual posee una amplitud de 15mV y un tiempo de ascenso/descenso de 10ps. En la ventana superior están a la vista dos curvas. La curva de color verde es la salida de la primera etapa del comparador (etapa diferencial), y la de color rojo la salida final del comparador. De esta simulación se obtuvo:

Máximo retardo “Alto – bajo (High to Low - TpHL)”del comparador: 7.48uS.

Máximo retardo “Bajo – alto (Low to High - TpLH)”del comparador: 2.5uS.

#### Retardos de las compuertas:

En la Figura 9 se encuentra la conexión utilizada en la simulación para la medición del tiempo de retardo de la compuerta NAND8 (compuerta NAND de 8 entradas). El cambio de estado de la entrada se lleva a cabo a los 2nS y afecta a 7 de las 8 entradas de la compuerta, luego vuelve a su estado inicial a los 2.31nS. A la salida de la compuerta se conectó una resistencia de 1 mega ohmio, representando a una entrada CMOS, a la cual se conectaría dicha salida de compuerta.

La Figura 10 ilustra la simulación conjunta realizada para todas las compuertas, donde cada curva representa una compuerta diferente.

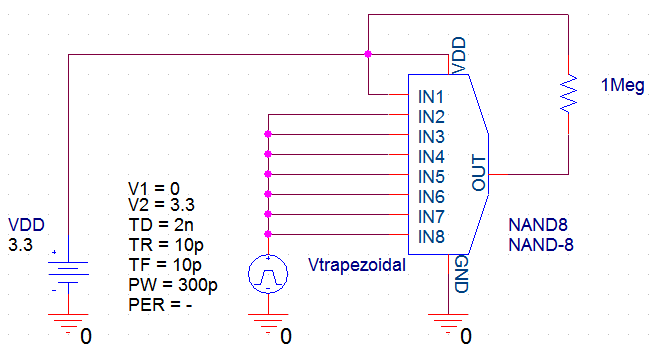


Figura ) Esquemático de la conexión de la compuerta NAND8, análisis de tiempos de retardo.

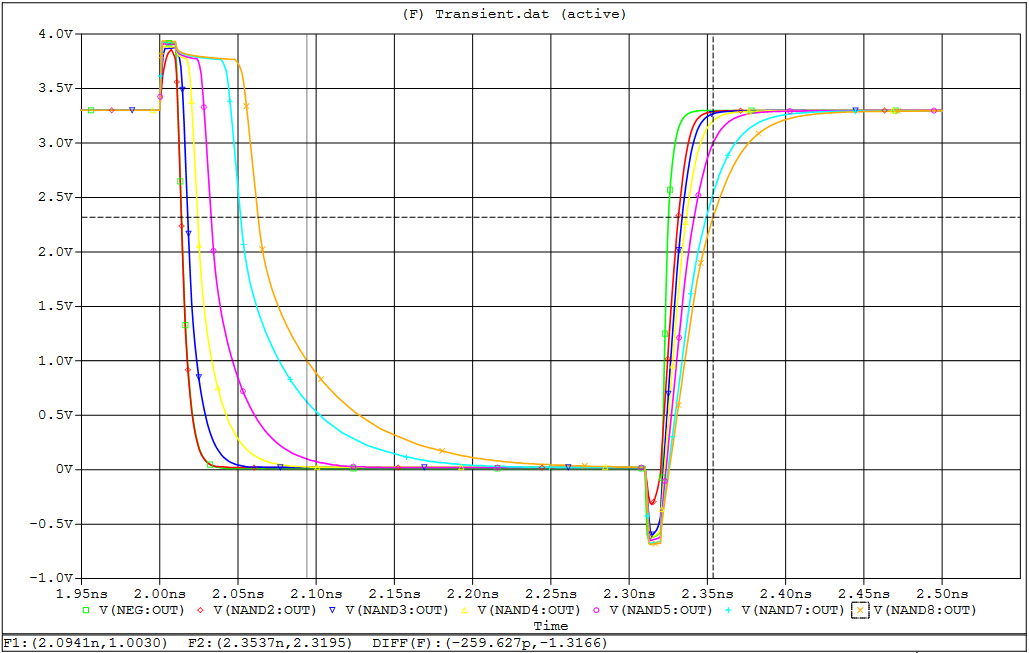


Figura ) Análisis de retardos de las compuertas.

En la simulación se aprecia el comportamiento de las salidas de las compuertas afectadas, las cuales, poseen retardos menores a los 100pS para ambos cambios.

Tiempo de retraso “Alto – bajo” (TpHL) < 100pS.

Tiempo de retraso “Bajo – alto” (TpLH) < 80pS.

#### Retardos del decodificador:

Para el análisis de tiempos del decodificador, se llevo a cabo la conexión que se observa en la Figura 11, en la cual se aprecia que la fuente Vtrapezoidal afecta a 31 de las 63 entradas del decodificador. Estas entradas afectadas son los 31 niveles inferiores del código termómetro generado por los comparadores, y decodificados en la salida del componente nos dan como resultado la palabra digital 1 0 0 0 0 0.

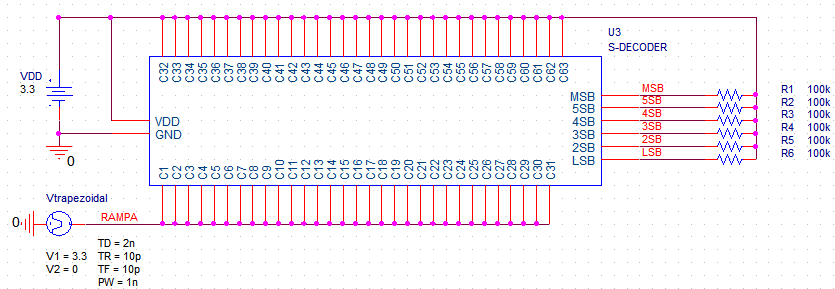


Figura ) Esquemático de la conexión del decodificador, análisis de tiempos de conversión.

En estado de reposo (al inicio de la simulación y hasta los 2nS) el decodificador tiene en todas sus entradas un valor de tensión positivo, por lo que la decodificación de dicho código termómetro a su salida daría como resultado la palabra digital 1 1 1 1 1 1, la cual representa al nivel más bajo de decodificación. A los 2nS, la fuente Vtrapezoidal genera un cambio en los niveles de entrada de las 31 primeras entradas del decodificador llevándolas un nivel de tensión bajo. Esto representaría un aumento repentino de la tensión de entrada hasta un nivel por debajo de la mitad del rango de conversión, dando así como salida decodificada a la palabra digital 1 0 0 0 0 0. Este cambio se observa en la , en donde a los 3nS, la fuente trapezoidal vuelve a cambiar su estado y genera que el decodificador vuelva a su estado de reposo.

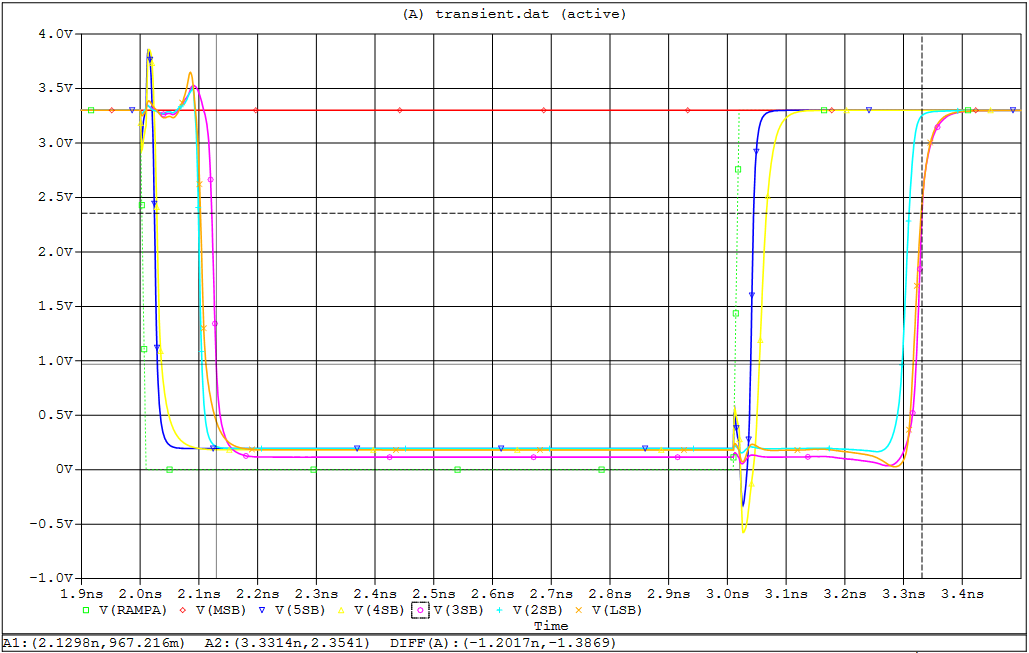


Figura ) TpHL y TpLH para una entrada en trapezoidal en el comparado C32 (mitad de la tabla de conversión).

En la simulación representada en la , la curva de color verde es la trapezoidal que es conectada a la entrada del decodificador correspondiente al comparador C32, el cual determina el valor medio del código termómetro. Las demás curvas son la salida del decodificador respondiendo al cambio de lógica generado por la trapezoidal.

Tiempos de transición de L a H < 1nS. (780 pS).

Tiempos de transición de H a L < 1nS. (250 pS).

#### Tiempos de conversión del conversor flash:

Luego de analizados los tiempos de retardo individuales de los componentes que lo conformar, se determina que el factor crítico para el tiempo de respuesta del conversor es el comparador, el cual posee un retardo de transición máximo del orden de 7uS, muy próximo a los 10uS máximos de retardo permitido para el funcionamiento a 100KHz del conversor. El decodificador agrega a este tiempo una contribución de poca consideración, ya que sus retardos rondan los micro segundos (uS).

### 2.2.3) Formato de salida

El formato de salida del conversor es binario unipolar.

### 2.2.4) Precisión

La precisión incluye errores provenientes de la parte analógica y digital. El error digital del conversor es de =5mV. La fuente de error analógico es el comparador. Dicho error varía según el offset y ganancia del comparador, que al estar trabajando para diferentes tensiones de entrada, varía entre los niveles inferiores y superiores del código termómetro.

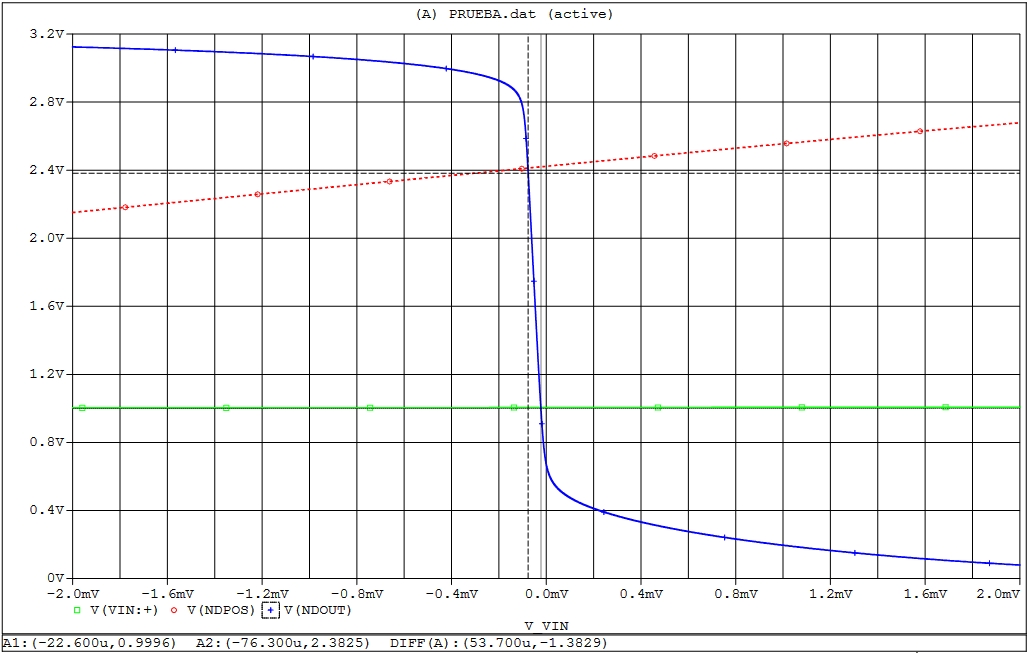


Figura ) Barrido de tensión continua con VCM=1.005V.

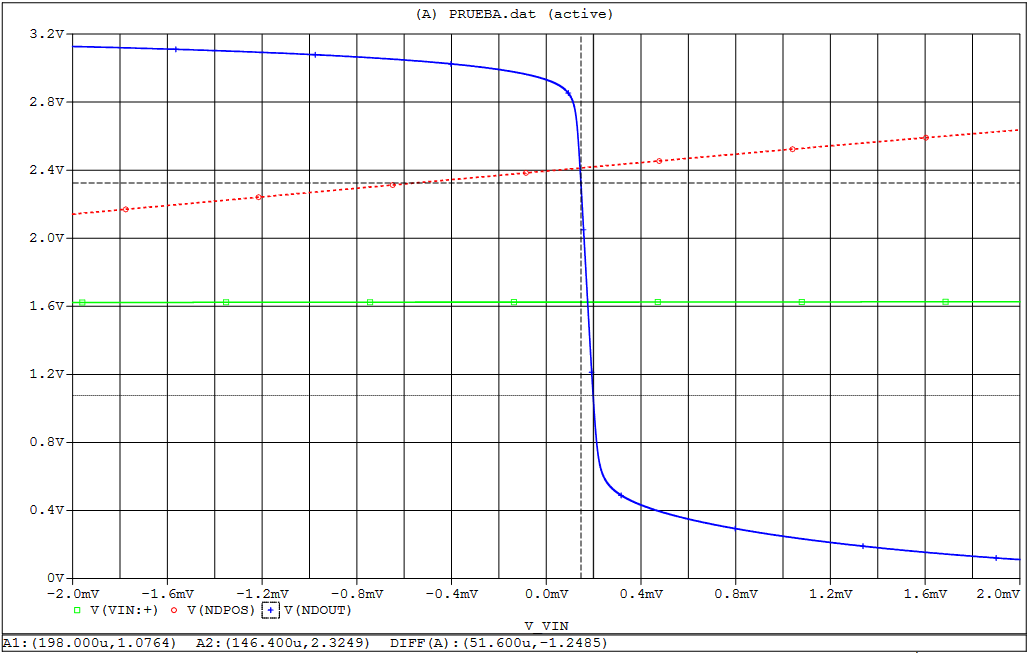


Figura ) Barrido de tensión continua con VCM=1.625V.

Como se muestra en la y , el offset del comparador varía según cuál sea el voltaje a modo común del mismo. Para el nivel más bajo del código termómetro (1.005V) el error de offset es de -60uV, mientras que para el nivel más alto (1.625V) es de +180uV, aproximadamente. La ganancia del comparador también se ve afectada, y varía entre 23.843 veces y 25.814 veces. En conclusión, el error total del conversor es la suma de ambos errores, tanto digital como analógico, igual a

1. Ref.: http://www.mosis.com [↑](#endnote-ref-1)
2. Ref.: “CMOS Analog Circuit Design”- Philip E. Allen, Douglas R. Holberg [↑](#endnote-ref-2)
3. Ref.: “CIRCUITOS ELECTRONICOS Discretos e integrados”- Donald Schilling [↑](#endnote-ref-3)